

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-338599

(43)Date of publication of application : 06.12.1994

(51)Int.Cl. H01L 27/108

(21)Application number : 05-231672 (71)Applicant : TOSHIBA CORP

(22)Date of filing : 17.09.1993 (72)Inventor : SAIDA SHIGEHICO
ARIKADO TSUNETOSHI

(30)Priority

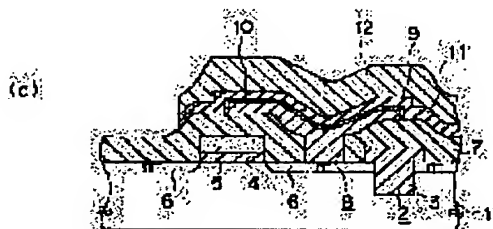
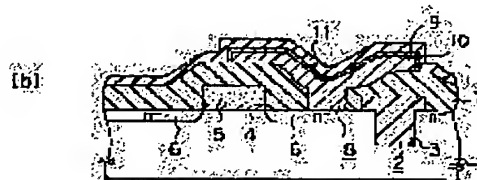
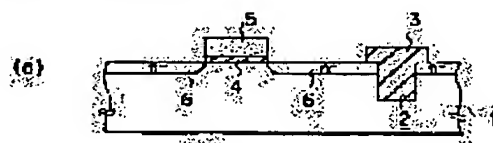
Priority number : 05 74837 Priority date : 31.03.1993 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide a manufacturing method, which can prevent the deterioration of reliability caused by the reaction of a capacitor electrode and a capacitor insulating film that is possible to be generated when a transition metal oxide film, whose dielectric constant is higher than that of a silicon oxide film, is used as the capacitor insulating film.

CONSTITUTION: A step, wherein a tungsten film 9 to become a lower capacitor electrode is formed, a step, wherein a tungsten dioxide film 10 is formed on the surface of the tungsten film 9 by heat treatment in oxidizing atmosphere, a step, wherein strontium titanate film 11 is formed as a capacitor insulating film on the tungsten dioxide film 10, and a step, wherein ruthenium oxide film 12 is formed on the strontium titanate film 11, are provided.



LEGAL STATUS

[Date of request for examination] 26.11.1999

[Date of sending the examiner's decision of rejection] 09.10.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-338599

(43) 公開日 平成6年(1994)12月6日

(51) Int.Cl. ³	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 27/108		7210-4M	H 0 1 L 27/ 10	3 2 5 J
		7210-4M		3 2 5 C

審査請求 未請求 請求項の数 4 O L (全 10 頁)

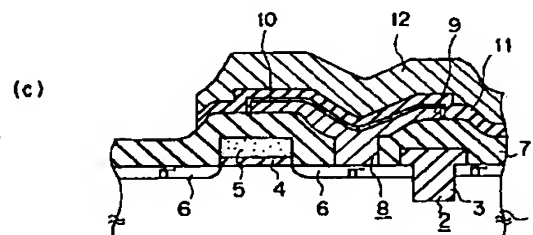
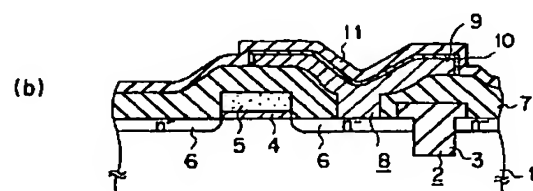
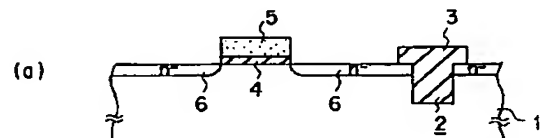
(21) 出願番号	特願平5-231672	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成5年(1993)9月17日	(72) 発明者	齋田 繁彦 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内
(31) 優先権主張番号	特願平5-74837	(72) 発明者	有門 経敏 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内
(32) 優先日	平5(1993)3月31日	(74) 代理人	弁理士 鈴江 武彦
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 キャパシタ絶縁膜として、シリコン酸化膜よりも誘電率が高い遷移金属酸化膜を用いた場合に生じ得る、キャパシタ電極とキャパシタ絶縁膜との反応に起因する信頼性の低下を防止できる半導体装置の製造法を提供すること。

【構成】 下部キャパシタ電極となるタングステン膜9を形成する工程と、酸化性雰囲気中の熱処理により、タングステン膜9の表面に二酸化タングステン膜10を形成する工程と、二酸化タングステン膜10上にキャパシタ絶縁膜としてチタン酸ストロンチウム膜11を形成する工程と、このチタン酸ストロンチウム膜11上に酸化ルテニウム膜12を形成する工程とを備えている。



【特許請求の範囲】

【請求項1】表面に導電性の金属酸化膜が形成された金属膜からなる第1のキャパシタ電極と、

この第1のキャパシタ電極上に設けられ、絶縁性の金属酸化膜からなるキャパシタ絶縁膜と、

このキャパシタ絶縁膜上に設けられた第2のキャパシタ電極とを具備してなることを特徴とする半導体装置。

【請求項2】第1のキャパシタ電極となる金属膜を形成する工程と、

この金属膜上にキャパシタ絶縁膜としての絶縁性の金属酸化膜を形成する工程と、

酸化性雰囲気中の熱処理により、前記金属膜の表面に導電性の金属酸化膜を形成する工程と、

前記絶縁性の金属酸化膜上に第2のキャパシタ電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】第1のキャパシタ電極となる第1の金属膜を形成する工程と、

この第1の金属膜上にキャパシタ絶縁膜となる第2の金属膜を形成する工程と、酸化性雰囲気中の熱処理により、前記第1の金属膜の表面に導電性の金属酸化膜を形成し、且つ前記第2の金属膜を絶縁性の金属酸化膜に変える工程と、

この絶縁性の金属酸化膜の形成時または形成後に、前記絶縁性の金属酸化膜上に第2のキャパシタ電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】第1のキャパシタ電極となる金属膜を形成する工程と、

この金属膜上にキャパシタ絶縁膜としての絶縁性の金属酸化膜を形成する工程と、

前記絶縁性の金属酸化膜上に第2のキャパシタ電極となる導電性の金属酸化膜を酸化性雰囲気中で気相成長法により形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、キャパシタを有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】従来より、情報処理装置の記憶装置として、磁気ディスク装置が広く用いられている。しかし、磁気ディスク装置は、高度に精密な機械的駆動機構を有するので衝撃に弱く、また、機械的に記録媒体にアクセスするので高速なアクセスができない等の欠点がある。

【0003】そこで、近年、情報処理装置の記憶装置として、半導体記憶装置の開発が進められている。半導体記憶装置は、機械的駆動部分を有しないので衝撃に強く、高速アクセスが可能であるという長所を有している。

【0004】ところで、近年の半導体技術の進歩、特に微細化加工技術の進歩により、半導体記憶装置の高集積化が急速に進められ、これによって、記憶保持に関する問題が顕在化している。

【0005】例えば、メモリセルがMOSトランジスタとキャパシタとの直列接続で構成されたDRAMにあっては、高集積化に伴うキャパシタ面積の減少によって、キャパシタ容量が少なくなる方向に向かっている。この結果、メモリ内容が誤って読み出されたり、 α 線等によるメモリ内容が破壊されるというソフトエラーが問題となっている。

【0006】そこで、実効的なキャパシタ面積を大きくするために、キャパシタをトランジスタの上に積み上げた、いわゆる、スタック型キャパシタセルや、シリコン基板に溝を掘ってその内壁をキャパシタとして利用する、いわゆる、トレンチ型キャパシタセルなどが提案されている。

【0007】このようなメモリセル構造の工夫の他に、キャパシタ絶縁膜として、従来より用いられているシリコン酸化膜の代わりに、より誘電率の高い絶縁膜である遷移金属酸化膜の使用が検討されている。具体的には、誘電率 ϵ がシリコン酸化膜の約7倍（ $\epsilon \sim 2.7$ ）もあるタンタル酸化膜等遷移金属酸化膜の比較早くから検討がなされている。

【0008】しかしながら、この種の遷移金属酸化膜をキャパシタ絶縁膜として用いるには次のような問題があった。すなわち、従来より用いられている単結晶または多結晶シリコンの下部キャパシタ電極上に、キャパシタ絶縁膜としての遷移金属酸化膜を形成する場合を考えると、この遷移金属酸化膜上に多結晶シリコンの上部キャパシタ電極を形成するときの熱工程や、キャパシタ完成後の熱工程によって、遷移金属酸化膜がキャパシタ電極であるシリコンによって還元され、遷移金属酸化膜中に多くの酸素欠損が発生する。この結果、キャパシタの絶縁特性が劣化し、リーク電流が増大するので、メモリ内容が消滅するなどの問題があった。

【0009】また、キャパシタ面積を増大させる目的から、キャパシタ電極および絶縁膜に凹凸を多く設ける必要性が生じる場合がある。この場合、凹凸の設けられたキャパシタ絶縁膜表面に段差被覆性良く上部キャパシタ電極を形成するため、CVD法による成膜が好ましい場合がある。

【0010】しかしながら、キャパシタ絶縁膜としての遷移金属酸化膜上に、金属、金属窒化物または金属珪化物からなる上部キャパシタ電極をCVD法により形成する場合には、以下のような問題があった。

【0011】すなわち、金属、金属窒化物または金属珪化物を形成するための原料ガスと遷移金属酸化膜とが反応し、遷移金属酸化膜が還元されるため、遷移金属酸化膜中に多くの酸素欠損が発生したり、遷移金属酸化膜が

窒化されたり、或いはハロゲンによってエッチングされる。したがって、この場合にも、キャパシタの絶縁特性が劣化し、リーク電流が増大するので、メモリ内容が消滅するなどの問題が生じる。

【0012】

【発明が解決しようとする課題】上述の如く、キャパシタ絶縁膜として遷移金属酸化膜を用いた従来のキャパシタの形成方法にあっては、多結晶シリコンの上部キャパシタ電極を形成するときの熱工程で、遷移金属酸化膜がシリコンによって還元され、遷移金属酸化膜に酸素欠損が発生する結果、キャパシタのリーク電流が増大し、信頼性が低下するという問題があった。

【0013】また、金属、金属窒化物または金属珪化物の上部キャパシタ電極をCVD法により形成する場合には、原料ガスと遷移金属酸化膜とが反応し、遷移金属酸化膜中に酸素欠損が発生するなどし、キャパシタのリーク電流が増大し、信頼性が低下するという問題があった。

【0014】本発明は、上記事情を考慮してなされたもので、その解決しようとする課題は、キャパシタ絶縁膜として、シリコン酸化膜よりも誘電率が高い遷移金属酸化膜などの金属酸化膜を用いても、キャパシタ絶縁膜に起因する信頼性の低下を招かない半導体装置およびその製造方法を提供することにある。

【0015】

【課題を解決するための手段】上記の課題を解決するために、本発明の半導体層装置（請求項1）は、表面に導電性の金属酸化膜が形成された金属膜からなる第1のキャパシタ電極と、この第1のキャパシタ電極上に設けられ、絶縁性の金属酸化膜からなるキャパシタ絶縁膜と、このキャパシタ絶縁膜上に設けられた第2のキャパシタ電極とを備えていることを特徴とする。

【0016】また、本発明の半導体層装置の製造方法（請求項2）は、第1のキャパシタ電極となる金属膜を形成する工程と、この金属膜上にキャパシタ絶縁膜としての絶縁性の金属酸化膜を形成する工程と、酸化性雰囲気中の熱処理により、前記金属膜の表面に導電性の金属酸化膜を形成する工程と、前記絶縁性の金属酸化膜上に第2のキャパシタ電極を形成する工程とを備えたことを特徴とする。

【0017】ここで、上記熱酸化雰囲気中の熱処理は、上記絶縁性の金属酸化膜を形成する前または後またはこれと同時に、行なうと良い。また、本発明の他の半導体装置の製造方法（請求項3）は、第1のキャパシタ電極となる第1の金属膜を形成する工程と、この第1の金属膜上にキャパシタ絶縁膜となる第2の金属膜を形成する工程と、酸化性雰囲気中の熱処理により、前記第1の金属膜の表面に導電性の金属酸化膜を形成し、且つ前記第2の金属膜を絶縁性の金属酸化膜に変える工程と、この絶縁性の金属酸化膜の形成時または形成後に、前記絶縁

性の金属酸化膜上に第2のキャパシタ電極を形成する工程とを備えたことを特徴とする。

【0018】なお、上記第2のキャパシタ電極は、導電性の金属酸化膜であることが望ましい。また、本発明の他の半導体装置の製造方法（請求項4）は、第1のキャパシタ電極となる金属膜を形成する工程と、この金属膜上にキャパシタ絶縁膜としての絶縁性の金属酸化膜を形成する工程と、前記絶縁性の金属酸化膜上に第2のキャパシタ電極としての導電性の金属酸化膜を酸化性雰囲気中で気相成長法により形成する工程とを備えたことを特徴とする。

【0019】

【作用】本発明の半導体装置の製造方法（請求項2、3）によれば、第1のキャパシタ電極となる金属膜上に導電性の金属酸化膜が形成される前若しくはされた後、または導電性の金属酸化膜が形成されながら、上記金属膜上にキャパシタ絶縁膜としての絶縁性の金属酸化膜が形成される。

【0020】このため、上記金属膜と上記絶縁性の金属酸化膜との間に上記導電性の金属酸化膜が介在することによって、上記金属膜による上記絶縁性の金属酸化膜の還元が抑制される。したがって、キャパシタ絶縁膜中の酸素欠損の発生を防止でき、信頼性の高いキャパシタが得られる。

【0021】このため、上記導電性の金属酸化膜の存在によって、第1のキャパシタ電極となる金属膜による、キャパシタ絶縁膜となる絶縁性の金属酸化膜の還元が抑制される。したがって、キャパシタ絶縁膜中の酸素欠損の発生を防止でき、信頼性の高いキャパシタが得られる。

【0022】本発明の半導体装置（請求項1）の如きの構成のキャパシタであれば、上記方法により、製造時における信頼性の低下を防止するに適した構造を提供できる。このため、シリコン酸化膜よりも誘電率の高い絶縁膜である遷移金属酸化膜の使用が可能となり、素子の微細化が図れる。

【0023】また、本発明の他の半導体装置の製造方法（請求項4）によれば、酸化性雰囲気中での気相成長法により、第2のキャパシタ電極としての導電性の金属酸化膜を形成しているので、キャパシタ絶縁膜としての絶縁性の金属酸化膜には十分な酸素などの酸化種が与えられる。

【0024】このため、上記導電性の金属酸化膜となる原料ガスによるキャパシタ絶縁膜の還元を抑制できる。したがって、キャパシタ絶縁膜中の酸素欠損の発生を防止でき、信頼性の高いキャパシタが得られる。

【0025】

【実施例】以下、図面を参照しながら実施例を説明する。図1は、本発明の第1の実施例に係るスタック型DRAMのメモリセルの形成方法を示す工程断面図であ

る。

【0026】まず、図1(a)に示すように、p型シリコン基板1(例えば、比抵抗 $10\Omega\cdot\text{cm}$ 、結晶面(100))の表面に素子分離用溝2を形成する。次いでこの素子分離用溝2が完全に塞がれる程度の厚さの素子分離用酸化膜3をCVD法により全面に堆積した後、この素子分離用酸化膜3をパターニングし、素子分離用溝2の領域のみに素子分離用酸化膜3を残置する。

【0027】次に全面にゲート絶縁膜となる薄い熱酸化膜4を形成した後、この薄い熱酸化膜4上にゲート電極となる n^+ 型ポリシリコン膜5を形成する。次いで薄い熱酸化膜4および n^+ 型ポリシリコン膜5をゲート電極状にパターニングした後、残った熱酸化膜4および n^+ 型ポリシリコン膜5をマスクとして、p型シリコン基板1の表面に n -型不純物イオンを注入することにより、自己整合的に n -型ソース・ドレイン領域6を形成する。

【0028】次に図1(b)に示すように、全面に厚い酸化膜7をCVD法により堆積した後、この厚い酸化膜7をエッチングして、一方のソース・ドレイン領域6上の厚い酸化膜7にコンタクトホール8を開口する。

【0029】次に全面に下部キャパシタ電極となるタングステン膜9(第1のキャパシタ電極となる金属膜)を形成した後、このタングステン膜9を下部キャパシタ電極状にパターニングする。

【0030】次いで酸化性雰囲気中での $300\sim 600^\circ\text{C}$ 程度、好ましくは、 $450\sim 600^\circ\text{C}$ 程度の熱処理により、タングステン膜9の表面を酸化して、例えば、厚さ $10\sim 20\text{nm}$ 程度の二酸化タングステン膜10(導電性の金属酸化膜)を形成する。なお、タングステン膜9の代わりに、ルテニウム膜を用いた場合にも、熱処理温度は $300\sim 600^\circ\text{C}$ 程度、好ましくは $450\sim 600^\circ\text{C}$ 程度である。

【0031】この熱処理工程における上限温度は導線性の金属酸化膜の成膜について制御性により決まり、一方、下限温度は実用的な厚さの導線性の金属酸化膜が形成される温度によって決まる。この後、全面にゲート絶縁膜となる遷移金属酸化膜の一種であるチタン酸ストロンチウム膜11(絶縁性の金属酸化膜)を形成する。

【0032】ここで、二酸化タングステン膜10は導電性の金属酸化膜であるので、キャパシタ容量が減少する恐れはない。また、タングステン膜9の酸化をその表面までにとどめたのは、タングステン膜9の酸化がコンタクトホール8内のタングステン膜9にまで進行すると、酸化による膨張の悪影響(例えば、タングステン膜9の剥がれ)が心配されるからである。

【0033】最後に、図1(c)に示すように、上部キャパシタ電極となる酸化ルテニウム膜12(第2のキャパシタ電極)をスパッタ法により全面に堆積した後、チタン酸ストロンチウム膜11および酸化ルテニウム膜12を所定の形状にパターンニングして、スタック型DR

AMのメモリセルが完成する。

【0034】なお、チタン酸ストロンチウム膜11を化成スパッタ法或いはプラズマCVD法により形成する場合には、チタン酸ストロンチウム膜11を形成する前または形成時に、酸素プラズマによりタングステン膜9の表面を酸化することで、二酸化タングステン膜10を形成しても良い。

【0035】また、チタン酸ストロンチウム膜11を熱CVD法により形成する場合には、チタン酸ストロンチウム膜11を形成する前または形成時に、熱酸化によりタングステン膜9の表面を酸化することで、二酸化タングステン膜10を形成しても良い。

【0036】図2は、本実施例の方法に従い作成されたキャパシタ(下部キャパシタ電極：二酸化タングステン膜、キャパシタ絶縁膜：Ta₂O₅膜)の電流密度(リーク電流)が熱処理(600°C 、1時間)の前後においてどのように変わるかを示す図である。

【0037】この図2から本実施例のように、下部キャパシタ電極として、その表面に二酸化タングステン膜が形成されているものを用いる場合には、熱処理によるリーク電流の増加はほとんど生じないことが分かる。

【0038】図3は、下部キャパシタ電極として窒化チタン膜を用いた従来法のキャパシタのリーク電流が熱処理(600°C 、1時間)の前後においてどのように変わるかを示す図である。

【0039】この図3から従来法に従い作成されたキャパシタの場合、本実施例のキャパシタに比べて、熱処理によってリーク電流が大きく増大することが分かる。このように本実施例に従って形成されたキャパシタのリーク電流が、従来法の場合のそれに比べて小さくなったのは、本実施例の場合、タングステン膜の表面に形成された二酸化タングステン膜がTa₂O₅膜とが接触するからである。

【0040】すなわち、窒化チタン膜の酸素親和力はTa₂O₅膜のそれよりも強いので、従来法のように、窒化チタン膜とTa₂O₅膜とが接触する状態では、熱処理によって、Ta₂O₅膜が窒化チタン膜によって還元され、Ta₂O₅膜中に大量の酸素欠損が生じるので、リーク電流が大きくなる。

【0041】一方、実施例の場合、窒化チタン膜よりも酸素親和力が小さい二酸化タングステン膜がTa₂O₅膜と接触しているため、熱処理を施しても、Ta₂O₅膜の還元が抑制されるので、リーク電流は小さくなる。

【0042】以上述べたように本実施例によれば、キャパシタ絶縁膜として、シリコンよりも誘電率が高いチタン酸ストロンチウム膜11を用いても、タングステン膜9の表面の二酸化タングステン膜の存在によって、上部キャパシタ電極や層間絶縁膜や配線などの形成工程で熱処理が施されても、処理タングステン膜9とチタン酸ストロンチウム膜11との間で酸化還元反応は進まない。

【0043】したがって、リーク電流の増加による信頼性の低下を防止でき、これによりシリコン酸化膜よりも誘電率が高いというチタン酸ストロンチウム膜の特徴を生かしたキャパシタを形成でき、もって、高信頼、大容量のスタック型DRAMのメモリセルが得られる。

【0044】ところで、本実施例では、下部キャパシタ電極として、スパッタ法やCVD法により直接導電性の金属酸化膜（二酸化タングステン膜10）をシリコン下地（直接n-型ソース・ドレイン領域6）上に形成するのではなく、金属膜（タングステン膜10）を形成した後、酸化性雰囲気中の熱処理により、導電性の金属酸化膜を形成している。

【0045】シリコン下地上に、直接、上記の如きに導電性の金属酸化膜を形成する場合には、シリコン下地と導電性の金属酸化膜との間に絶縁性の酸化膜（例えば、SiO₂膜）が形成される恐れがある。このため、シリコン下地と導電性の金属酸化膜との間の密着性が低下したり、コンタクト抵抗が増加する恐れがある。

【0046】一方、本実施例の場合、シリコン下地と接触するのは金属膜なので、導電性の金属酸化膜の場合のように、シリコン下地の表面に、絶縁性の酸化膜が形成されることは防止され、密着性の低下やコンタクト抵抗の増加は生じない。

【0047】図4は、本発明の第2の実施例に係るスタック型DRAMのメモリセルの形成方法を示す工程断面図である。まず、図4（a）に示すように、例えば、比抵抗が10Ω・cmのp型シリコン基板21の（100）面に、素子分離用溝22を形成する。次いでこの素子分離用溝22が完全に塞がれる程度の厚さの素子分離用酸化膜23をCVD法により全面に堆積した後、この素子分離用酸化膜23をパターンニングし、素子分離用溝22の領域のみに素子分離用酸化膜23を残置する。

【0048】次に全面にゲート絶縁膜となる薄い熱酸化膜24を形成した後、この薄い熱酸化膜24上にゲート電極となるn+型ポリシリコン膜25を形成する。次いで薄い熱酸化膜24およびn+型ポリシリコン膜25をゲート電極状にパターンニングした後、残った熱酸化膜24およびn+型ポリシリコン膜25をマスクとして、p型シリコン基板21の表面にn型不純物イオンを注入することにより、自己整合的にn-型ソース・ドレイン領域26を形成する。

【0049】次に図4（b）に示すように、全面に厚い酸化膜27をCVD法により堆積した後、この厚い酸化膜27をエッチングして、一方のソース・ドレイン領域6上の厚い酸化膜27にコンタクトホール28を開口する。次いで全面に白金膜29（第1のキャパシタ電極となる金属膜）を形成した後、この白金膜29を下部キャパシタ電極状にパターンニングする。次いで全面にキャパシタ絶縁膜としてのチタン酸バリウム膜30（絶縁性の金属酸化膜）をCVD法により堆積する。

【0050】次に図4（c）に示すように、酸化性雰囲気中で白金膜29を熱処理することにより、白金膜29の表面を酸化し、白金膜29とチタン酸バリウム膜30との間に、下部キャパシタ電極の一部である導電性の酸化白金（Pt₃O₄）膜31（導線性の金属酸化膜）を形成する。

【0051】最後に、図4（d）に示すように、上部キャパシタ電極となる酸化モリブデン膜32（第2のキャパシタ電極）をスパッタ法により全面に堆積した後、チタン酸バリウム膜30および酸化モリブデン膜32とを所定の形状にパターンニングして、スタック型DRAMのメモリセルが完成する。

【0052】このような形成方法でも、実質的に白金膜29の表面に酸化白金膜31が形成された状態で、白金膜29上にチタン酸バリウム膜30が形成されるので、先の実施例と同様な効果が得られる。

【0053】図5は、本発明の第3の実施例に係るスタック型DRAMのメモリセルの形成方法を示す工程断面図である。まず、図5（a）に示すように、例えば、比抵抗10Ω・cm、結晶面（100）のp型シリコン基板41の表面に素子分離用溝42を形成する。次いでこの素子分離用溝42が完全に塞がれる程度の厚さの素子分離用酸化膜43をCVD法により全面に堆積した後、この素子分離用酸化膜43をパターンニングして、素子分離用溝42の領域のみに素子分離用酸化膜43を残置する。

【0054】次に全面にゲート絶縁膜となる薄い熱酸化膜44を形成した後、この薄い熱酸化膜44上にゲート電極となるn+型ポリシリコン膜45を形成する。次いで薄い熱酸化膜44およびn+型ポリシリコン膜45をゲート電極状にパターンニングした後、残った熱酸化膜44およびn+型ポリシリコン膜45をマスクとして、p型シリコン基板41の表面にn型不純物イオンを注入することにより、自己整合的にn-型ソース・ドレイン領域46を形成する。

【0055】次に図5（b）に示すように、全面に厚い酸化膜47を熱CVD法により堆積した後、この厚い酸化膜47をエッチングして、一方のソース・ドレイン領域6上の厚い酸化膜47にコンタクトホール48を開口する。この後、全面にタングステン膜49（第1のキャパシタ電極となる第1の金属膜）を形成し、このタングステン膜49を下部キャパシタ電極状にパターンニングする。この後、全面にキャパシタ絶縁膜となるタンタル膜50（キャパシタ絶縁膜となる第2の金属膜）を熱CVD法により20nmの厚さに堆積する。

【0056】次に図5（c）に示すように、全面にタングステン膜51をスパッタ法により堆積した後、このタングステン膜51およびタンタル膜50を所定の形状にパターンニングする。

【0057】最後に、図5（d）に示すように、プラズ

マ酸素やラジカル酸素等の酸化性雰囲気中の熱処理により、タングステン膜51を二酸化タングステン膜52に変え、タンタル膜50を五酸化タンタル膜53（絶縁性の金属酸化膜）に変え、そして、タングステン膜49の表面を二酸化タングステン膜54（導線性の金属酸化膜）に変えて、スタック型DRAMのメモリセルが完成する。

【0058】このような製造方法でも、先の実施例と同様に、熱処理工程におけるキャパシタ電極とキャパシタ絶縁膜との間の酸化還元反応を防止できるので、信頼性の改善が図れる。

【0059】図6は、本発明の第4の実施例に係るスタック型DRAMのメモリセルの形成方法を示す工程断面図である。まず、図6(a)に示すように、p型シリコン基板61（例えば、比抵抗 $10\Omega\cdot\text{cm}$ 、結晶面(100)）の表面に素子分離用溝62を形成する。次いでこの素子分離用溝62が完全に塞がれる程度の厚さの素子分離用酸化膜63をCVD法により全面に堆積した後、この素子分離用酸化膜63をパターンニングし、素子分離用溝62の領域のみに素子分離用酸化膜63を残置する。

【0060】次に全面にゲート絶縁膜となる薄い熱酸化膜64を形成した後、この薄い熱酸化膜64上にゲート電極となる n^+ 型ポリシリコン膜65を形成する。次いで薄い熱酸化膜64および n^+ 型ポリシリコン膜65をゲート電極状にパターンニングした後、残った熱酸化膜6および n^+ 型ポリシリコン膜6をマスクとして、p型シリコン基板1の表面に n 型不純物イオンを注入することにより、自己整合的に n -型ソース・ドレイン領域66を形成する。

【0061】次に図6(b)に示すように、全面に厚い酸化膜67をCVD法により堆積した後、この厚い酸化膜67をエッチングして、一方のソース・ドレイン領域66上の厚い酸化膜67にコンタクトホール68を開口する。

【0062】次に全面に下部キャパシタ電極となるタングステン膜69（第1のキャパシタ電極となる金属膜）を形成した後、このタングステン膜69を下部キャパシタ電極状にパターンニングする。

【0063】次いで酸化性雰囲気中で熱処理し、タングステン膜69上に三酸化タングステン膜70（導電性の金属酸化膜）を形成した後、全面にキャパシタ絶縁膜としての遷移金属酸化膜の一種である五酸化タンタル膜（ Ta_2O_5 膜）71（絶縁性の金属酸化膜）を形成する。

【0064】最後に、図6(c)に示すように、上部キャパシタ電極となる酸化ルテニウム膜72（第2のキャパシタ電極となる導電性の金属酸化膜）を、原料ガスとして $\text{Ru}(\text{C}_5\text{H}_7\text{O}_2)_3$ ガス、 $\text{Ru}(\text{C}_5\text{H}_5)_2$ ガスを用いた酸素雰囲気中でのCVD法により全面に

段差被覆性良く堆積した後、五酸化タンタル膜71および酸化ルテニウム膜72を所定の形状にパターンニングして、スタック型DRAMのメモリセルが完成する。

【0065】上部キャパシタ電極を本実施例の方法に従って作成したキャパシタと、上部キャパシタ電極をスパッタ法により作成したキャパシタ（上部キャパシタ電極：酸化ルテニウム、キャパシタ絶縁膜： Ta_2O_5 膜）の電流密度との電流密度を調べたところ、図7に示すような結果が得られた。

【0066】すなわち、上部キャパシタ電極を酸化性雰囲気中のCVD法により形成する場合には、スパッタ法で上部キャパシタ電極を形成した場合とほとんどリーク電流の大きさが変わらないことを確認した。

【0067】また、上部キャパシタ電極としての窒化チタン膜を、四塩化チタンガスとアンモニアガスとの混合ガスを原料ガスとする酸素雰囲気中のCVD法により作成したキャパシタと、上部キャパシタ電極としての窒化チタン膜をスパッタにより作成したキャパシタの電流密度との電流密度を調べたところ、図8に示すような結果が得られた。

【0068】すなわち、上部キャパシタ電極を酸素雰囲気中のCVD法により形成する従来法の場合には、スパッタ法で上部キャパシタ電極を形成した場合に比べて、リーク電流が大幅に増加することを確認した。

【0069】このように本実施例の方法に従って形成されたキャパシタのリーク電流が、従来法の場合のそれに比べて小さくなったのは、本実施例の場合、上部キャパシタ電極は酸素雰囲気中に晒されているので、原料ガスによる上部キャパシタ電極の還元が抑制されるからである。

【0070】しかし、従来法の場合には、例えば、上記の如きに、四塩化チタンガスとアンモニアガスとにより窒化チタン膜を形成する場合には、四塩化チタンガス中の塩素によりキャパシタ絶縁膜であるタンタル酸化膜がエッチングされたり、アンモニアによりタンタル酸化膜が窒化されるため、リーク電流が大きくなる。

【0071】以上述べたように本実施例によれば、キャパシタ絶縁膜として、シリコン酸化膜よりも誘電率が高いタンタル酸化膜71を用いても、上部キャパシタ電極を酸化性雰囲気中でのCVD法により形成しているため、原料ガスによるタンタル酸化膜71の還元を抑制できる。

【0072】したがって、リーク電流の増加による信頼性の低下を防止でき、これによりシリコン酸化膜よりも誘電率が高いタンタル酸化膜の特徴を生かしたキャパシタを形成でき、もって、高信頼、大容量のスタック型DRAMのメモリセルが得られる。

【0073】なお、本発明は上述した実施例に限定されるものではない。例えば、上記第4の実施例では、酸化性雰囲気として酸素雰囲気の場合について説明したが、

他の酸化性雰囲気、例えば、酸素プラズマ、酸素ラジカル、 O_3 などの活性酸素雰囲気や、 H_2O 、 CH_3OH の雰囲気、並びに H_2O 、 CH_3OH のプラズマやラジカルの雰囲気であっても良い。

【0074】また、上記実施例では、下部キャパシタ電極として、二酸化タングステン、酸化白金、二酸化ルテニウムを用いたが、他の導電性の金属酸化膜、例えば、 IrO_2 、 PdO_2 、 OsO_2 、 CrO_2 、 Ti_2O_3 、 Fe_3O_4 、 MoO_2 、 $(La_{1-x}Ca_x)CrO_3$ 、 ReO_2 、 ZnO 、 $Sr(Nb_{1-x}Ti_x)O_3$ 、 $LaNiO_3$ などを用いても良い。

【0075】また、上記実施例では、シリコン酸化膜よりも誘電率が高いキャパシタ絶縁膜として、五酸化タンタル、チタン酸ストロンチウム、チタン酸バリウムを用いたが、その他に、例えば、酸化チタン(TiO_2)、酸化ジルコニウム(ZrO_2)、酸化イットリウム(Y_2O_3)、酸化ハフニウム(HfO_2)などの遷移金属酸化膜、並びにこれら遷移金属酸化膜の複合膜を用いても良い。

【0076】また、CVD法における原料ガスとして、上記した導電性の金属酸化膜を構成する金属のカルボ化合物、アルコキシ化合物、アルキル化合物、シクロペンタジエニル化合物等のような有機金属化合物のガスを用いることが可能である。

【0077】また、上部キャパシタ電極だけ、下部キャパシタ電極だけ、或いは上部キャパシタ電極および下部キャパシタ電極の両方が導電性の金属酸化膜であっても良い。

【0078】また、上記実施例では、スタック型キャパシタセルの場合について説明したが、本発明は、トレンチ型キャパシタなどの他の3次元構造のキャパシタにも適用できる。

【0079】また、本発明は、DRAM以外のキャパシタを用いた半導体装置にも適用できる。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0080】

【発明の効果】以上詳述したように本発明（請求項1、2、3）によれば、第1のキャパシタ電極となる金属膜とキャパシタ絶縁膜となる絶縁性の金属酸化膜との間に形成される導電性の金属酸化膜によって、上記金属膜と上記金属酸化膜との間の酸化還元反応が抑制されるので、高信頼、大容量のキャパシタが得られる。

【0081】また、本発明の他の本発明（請求項4）によれば、第2のキャパシタ電極として導電性の金属酸化膜を酸化性雰囲気中での気相成長法により形成しているため、上記金属酸化膜の還元が抑制され、高信頼、大容量のキャパシタが得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るスタック型DRAMのメモリセルの形成方法を示す工程断面図

【図2】本発明の第2の実施例に係るスタック型DRAMのメモリセルの形成方法を示す工程断面図

【図3】本発明のキャパシタのリーク電流が熱処理の前後においてどのように変わるかを示す図

【図4】従来のキャパシタのリーク電流が熱処理の前後においてどのように変わるかを示す図

【図5】本発明の第3の実施例に係るスタック型DRAMのメモリセルの形成方法を示す工程断面図

【図6】本発明の第4の実施例に係るスタック型DRAMのメモリセルの形成方法を示す工程断面図

【図7】上部キャパシタ電極を本発明の方法に従って作成したキャパシタのリーク電流と、上部キャパシタ電極をスパッタ法により作成したキャパシタのリーク電流とを示す図

【図8】上部キャパシタを従来法に従って作成したキャパシタのリーク電流と、上部キャパシタ電極をスパッタ法により作成したキャパシタのリーク電流とを示す図

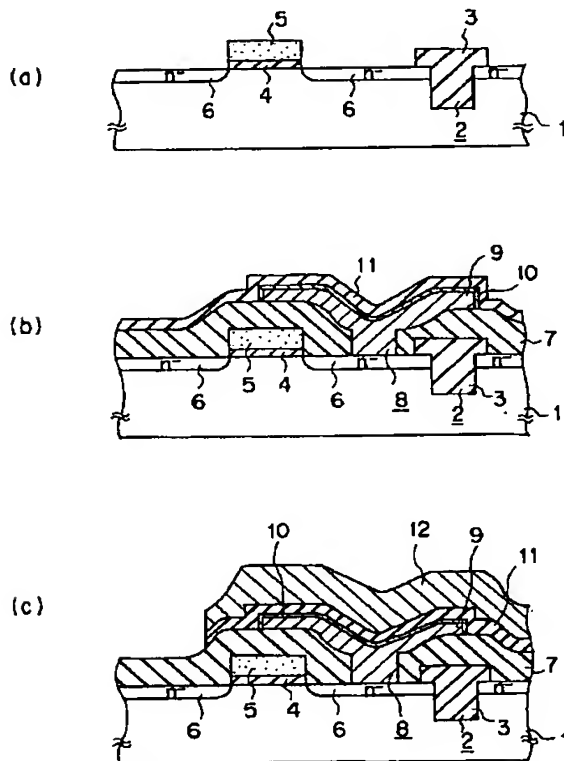
【符号の説明】

- 1…p型シリコン基板
- 2…素子分離用溝
- 3…素子分離用酸化膜
- 4…熱酸化膜（ゲート絶縁膜）
- 5… n^+ 型ポリシリコン膜（ゲート電極）
- 6… n^- 型ソース・ドレイン領域
- 7…CVD酸化膜
- 8…コンタクトホール
- 9…タングステン膜（第1のキャパシタ電極となる金属膜）
- 10…二酸化タングステン膜（導電性の金属酸化膜）
- 11…チタン酸ストロンチウム膜（絶縁性の金属酸化膜）
- 12…酸化ルテニウム膜（第2のキャパシタ電極）
- 21…p型シリコン基板
- 22…素子分離用溝
- 23…素子分離用酸化膜
- 24…熱酸化膜（ゲート絶縁膜）
- 25… n^+ 型ポリシリコン膜（ゲート電極）
- 26… n^- 型ソース・ドレイン領域
- 27…CVD酸化膜
- 28…コンタクトホール
- 29…白金膜（第1のキャパシタ電極となる第1の金属膜）
- 30…チタン酸バリウム膜（絶縁性の金属酸化膜）
- 31…酸化白金膜（導電性の金属酸化膜）
- 32…酸化モリブデン膜（第2のキャパシタ電極）
- 41…p型シリコン基板
- 42…素子分離用溝
- 43…素子分離用酸化膜
- 44…熱酸化膜（ゲート絶縁膜）
- 45… n^+ 型ポリシリコン膜（ゲート電極）

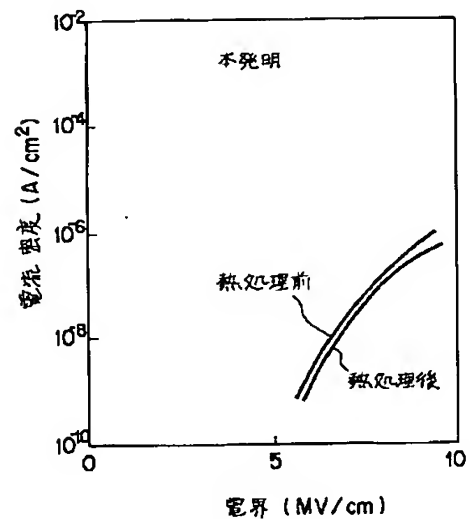
- 46…n-型ソース・ドレイン領域
- 47…CVD酸化膜
- 48…コンタクトホール
- 49…タングステン膜（第1のキャパシタ電極となる第1の金属膜）
- 50…タンタル膜（キャパシタ絶縁膜となる第2の金属膜）
- 51…タングステン膜
- 52…二酸化タングステン膜
- 53…五酸化タンタル膜（絶縁性の金属酸化膜）
- 54…二酸化タングステン膜（導線性の金属酸化膜）
- 61…p型シリコン基板
- 62…素子分離用溝

- 63…素子分離用酸化膜
- 64…熱酸化膜（ゲート絶縁膜）
- 65…n+型ポリシリコン膜（ゲート電極）
- 66…n-型ソース・ドレイン領域
- 67…CVD酸化膜
- 68…コンタクトホール
- 69…タングステン膜（第1のキャパシタ電極となる金属膜）
- 70…三酸化タングステン膜
- 71…五酸化タンタル膜（絶縁性の金属酸化膜）
- 72…酸化ルテニウム膜（第2のキャパシタ電極となる導電性の金属酸化膜）

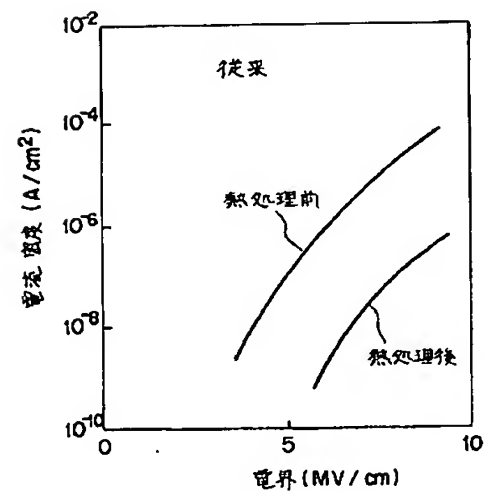
【図1】



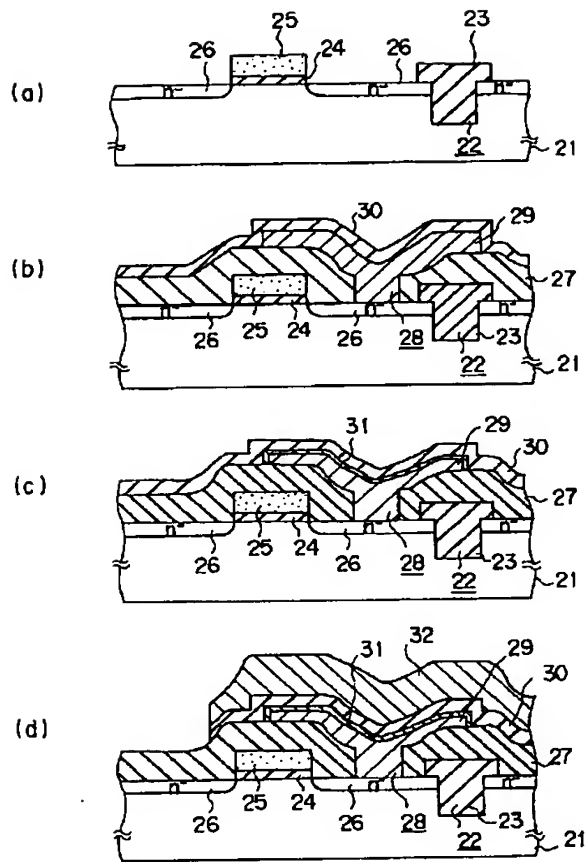
【図2】



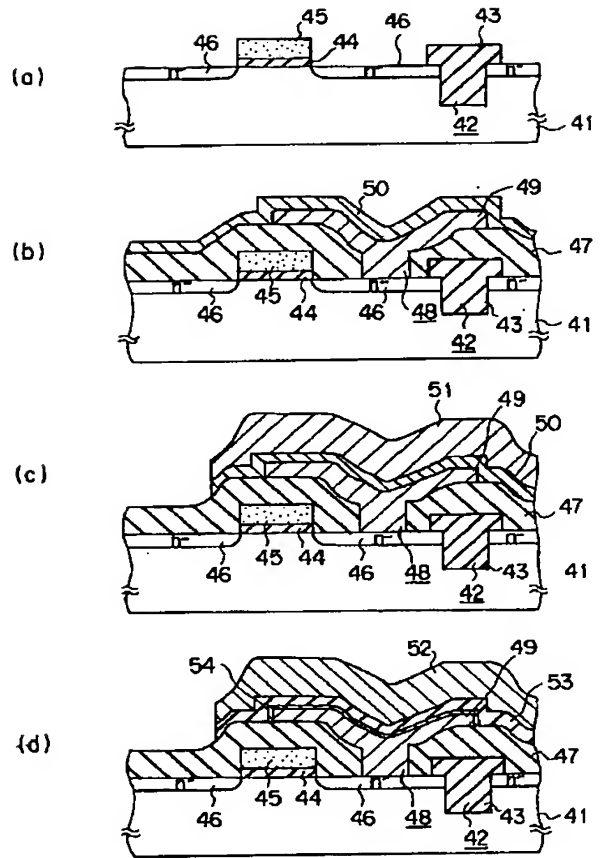
【図3】



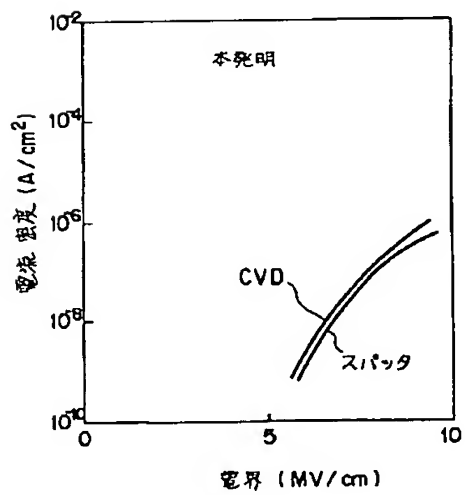
【図4】



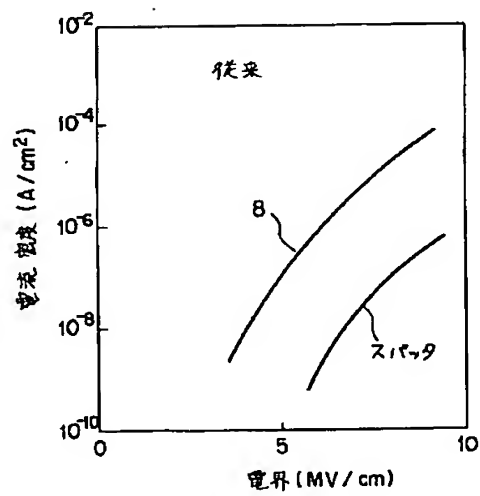
【図5】



【図7】



【図8】



【図6】

